

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-031245

(43)Date of publication of application : 18.02.1985

(51)Int.Cl.

H01L 21/92

(21)Application number : 58-140828

(71)Applicant : NEC CORP

(22)Date of filing : 01.08.1983

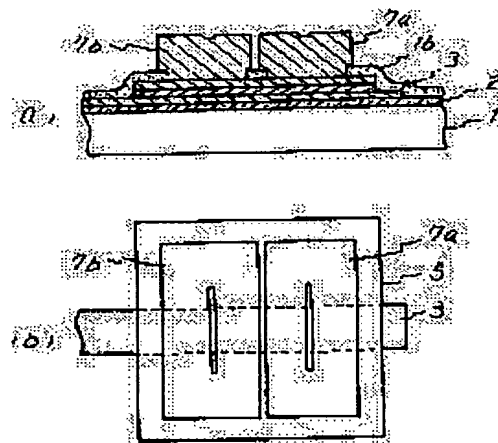
(72)Inventor : ISHIKAWA HIDEO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To increase the contacting area of a lead with a bump by forming the bump for one lead of a plurality of small bumps, thereby reducing the area of a recess part of the central portion of the bump at the plating time.

**CONSTITUTION:** A photoresist 16 having approx. 40 $\mu$ m of pattern width is formed, and with the photoresist as a mask gold is plated to form two small bumps 7a, 7b. Since the width of the bump is approx. 40 $\mu$ m, a recess which occurs without approx. 20 $\mu$ m from the periphery of the bump at the plating time is regarded as almost non in a principle. Accordingly, a recess is not formed at the center of the bump. Thus, the bonding area of the lead of a lead frame with the bump after bonding the inner lead can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

## PUBLICATION NUMBER

Japanese Patent Laid-Open No. 60-31245

## TITLE OF THE INVENTION

Semiconductor Device

## ABSTRACT

## PURPOSE

The purpose of this invention is to decrease the recessed area at the center of the bump, and increase the contact area of the lead and the bump by forming several small bumps for each lead when plating.

## CONSTITUTION

The present invention forms a photo resist 16 with a pattern width of about  $40\mu\text{m}$ , and by plating this with gold, two small bumps 7a, 7b are formed. Since the width of the bump is about  $40\mu\text{m}$ , the recessed part should not occur within  $20\mu\text{m}$  from the bump perimeter in principle, so the recess will not be formed at the center of the bump. Therefore, the contact area of the lead and the bump of the lead frame are increased after the inner lead bonding.

## CLAIMS FOR THE PATENT

(1) A semiconductor device having bump electrodes, wherein bumps of the bump electrodes which include a plurality of independent small bumps.

(2) The semiconductor device as defined in claim

1,

wherein the bumps are formed by plating.

(3) The semiconductor device as defined in claim

2,

wherein the bumps are formed by plating with gold.

#### DETAILED DESCRIPTION OF THE INVENTION

The present invention relates to a structure of a semiconductor device, particularly to the structure of the bonding pad of semiconductor integrated circuit (IC) device for Tape Auto-mated Bonding (TAB).

Currently, instead of encapsulating bellets to IC cases by wire bonding and mounting IC cases to printed circuit boards in the conventional manner, mounting several IC bellets to the ceramic substrates by the TAB method is widely used for improved IC package density in large-sized electronic computers. In addition, TAB method is drawing attention for process reduction, because it can finish bonding with only one processing.

To secure a clearance between the chip and the lead frame, the external electrode, the IC bellet adopted for the TAB method needs to have a so-called bump structure, where the height of the bonding pad is higher than the substrate by 20 to 30  $\mu$ m.

Figure 1 and Figure 2 is a sectional drawing and a top view showing the manufacturing process of the bump electrodes concerning the present invention. First, as shown in the sectional drawing of Figure 1 (a), after forming the semiconductor device in the semiconductor

substrate 1, a contact aperture is opened on the thin insulator film on the surface, aluminum is deposited, and the inner wiring pattern and the pad 3 are formed. Then, as the contact layer with the aluminum pad 3, titanium 4 and platinum 5 as a ground metal layer of the gold plate is deposited, and the bump pattern is formed. In this patterning, a lift-off technology using photo resists is usually adopted. Then, as shown in the sectional drawing of Figure 2 (a) and the top view of the same figure (b), after forming the bump 7 by plating gold over the platinum on the mask of photo resist 6, the photo resist 6 is removed, and as shown in the sectional drawing at Figure 3, after depositing and patterning the polyimide film 8 as a protective film, lead frame 9 and bump 7 are bonded by thermo compression (interior lead bonding).

In the mean time, as seen in Figure 2 (a) (b), the inner part 20 to 30  $\mu\text{m}$  from the plated gold bump is recessed from the surrounding portion. This phenomenon is considered to be an etching effect, and the detailed possible cause for this is unclear, but it is known that this phenomenon becomes more conspicuous as the plating liquid being more deteriorated, and the difference in the bump height at the center and the perimeter are increased. A bump with such structure have some defect, i.e., when the lead frame is gold plated over copper, it can take increased load for inner lead bonding, and even though the center of the bump is recessed to some extent, there was not much problem in the bonding strength, since the bump perimeter is pressed and flattened, making

the contact area between the bump and the lead frame increased, but when the difference in the bump height is extremely large, or the lead frame is tin plated over copper, the bonding load should be kept small to prevent melting of the alloy of the gold of the bump and tin of the lead frame, so the recess of the bump remains almost unchanged, decreasing the contact area between the bump and the lead frame, resulting in less bonding strength. In addition, those products with a large difference in the bump height had to be made failure after the plating, decreasing the yield rate of the IC.

The purpose of this invention is to clear these defects, and to provide a semiconductor device comprising a bump electrode that increases the yield rate of the IC with sufficient bond strength.

The semiconductor device of the present invention decreases the central recessed area of the bump for plating, and increases the contact area between the lead frame lead and the bump after inner lead bonding, by forming plural small bumps (about  $40\mu\text{m}$  width) for each lead.

Now, the present invention is explained by an embodiment.

Figure 4 and Figure 6 is a sectional drawing that shows the manufacturing process of an embodiment of the invention. First, Figure 4 is a sectional drawing of the substrate before forming the bump like the one shown in Figure 1, and as shown in the sectional drawing in Figure 5 (a), a photo resist 16 with a pattern width of  $40\mu\text{m}$  is formed on this substrate, and by plating this with

gold, two small bumps 7a and 7b are formed. Figure 5 (b) shows the state where the photo resist 16 is removed from this state. As shown in Figure 5 (a), (b), since the width of the bump is about  $40\mu\text{m}$ , the recessed part which is formed within  $20\mu\text{m}$  from the bump perimeter in principle, so the recess will not be formed at the center of the bump. In other words, if the distance between the bump perimeter and the central recessed area is  $x$ , and the lateral width of the gold after plating is  $y$ , the recessed part at the center of the bump is not formed when the width of the bump is designed to be smaller than  $2x$ , and the distance between small bumps is designed to be larger than  $2y$ . Next, as shown in the top view in Figure 5 (b), photo resist 16 is removed, and as shown in the sectional drawing in Figure 6, a polyimide film 8 is deposited and patterned as a protective film, and after dicing on each pellet, lead 9 of the lead frame and small bumps 7a and 7b are lead bonded inside.

Thus, almost no recessed parts exists in such bump electrodes concerning the present invention, and it can be seen that the contact area between the lead frame and the bump is increased. Thus, according to the present invention, sufficient bonding strength for TAB-IC can be guaranteed, and the yield rate of the wafer after gold plating is increased.

In addition, there may be more than two bumps, despite that the number of bumps in the above example were two. Also, Ti-Pd / Cr-Cu structure for the ground metal of the gold bump can be accepted. Further, a bump was formed on the aluminum being used for inside pellet

wiring, but a bump may also be formed on an insulator film such as silicon nitride films. In this case, the contact of the bump and the interior wiring may be made by patterning the Ti-Pt as the inner wiring pattern, and adding thin gold plate on it.

#### BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 and Figure 3 is a drawing to describe the manufacturing process of an electrode of a conventional semiconductor device, and Figure 1, Figure 2 (a), Figure 3 is a sectional drawing, Figure 2 (b) is a top view. Figure 4 and Figure 6 is a drawing to describe the manufacturing process of an electrode of an embodiment of the invention, and Figure 4, Figure 5 (a), Figure 6 is a sectional drawing, Figure 5 (b) is a top view.

- 1..... semiconductor substrate,
- 2..... insulation thin film,
- 3..... aluminum pad,
- 4..... titanium film,
- 5..... platinum film,
- 6.16..... photo resist,
- 7..... bump,
- 7a, 7b ..... small bumps,
- 8..... polyimide film,
- 9.... lead frame.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-31245

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)2月18日

H 01 L 21/92

7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-140828

⑰ 出 願 昭58(1983)8月1日

⑱ 発 明 者 石 川 英 郎 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

#### 明 細 書

#### 1. 発明の名称

半導体装置

#### 2. 特許請求の範囲

- (1) パンプ電極を有する半導体装置において、前記パンプ電極のパンプは複数の独立した小パンプからなることを特徴とする半導体装置。
- (2) 上記パンプはメッキ法で形成されていることを特徴とする特許請求の範囲第1項に記載の半導体装置。
- (3) 上記パンプは金メッキ法にて形成されていることを特徴とする特許請求の範囲第2項に記載の半導体装置。

#### 3. 発明の詳細な説明

本発明は、半導体装置の構造に関するものであり、特に、テープ自動ボンディング(Tape Automated Bonding=TAB)用の半導体集積回路装

置(IC)のボンディングパッドの構造に関するものである。

現在、ICは大型電子計算機等の装置への実装密度向上のため、従来のワイヤボンディングによるICケースへのベレット封止およびICケースのプリント板への実装法に代わって、TAB法によるセラミック基板への複数個のICベレットの実装法が多用されてきている。また、TAB法は、ボンディングが一回で済むため、工数低減の意味でも注目されている。

このTAB法に使用するICベレットは、チップと外部電極としてのリードフレームの間のクリフランスをとるため、ボンディングパッドの高さを基板より20~30μmに高くした、いわゆるパンプ構造とする必要がある。

第1図ないし第3図は本発明に係るパンプ電極を製造工程について示す断面図および上面図である。まず第1図(a)の断面図に示すように、半導体基板1内に半導体素子を形成した後、裏面の薄い絶縁膜2にコンタクト窓を開孔し、アルミニウム

特開昭60-31245(2)

を被着させ、内部配線パターンおよびパッド3を形成する。次に、アルミニウムパッド3との接層層として、チタニウム1および金メッキの下地金膜層として白金5をそれぞれ被着させ、パンプパターンを形成する。このパターンニングには、通常、フォトレジストを利用したリフトオフ法が採用されている。次に第2図(a)の断面図および同図(b)の平面図に示すように、フォトレジスト6をマスクに金を白金の上にメッキしてパンプ7を形成した後、フォトレジスト6を除去し、つぎに第3図の断面図のように、保護膜としてポリイミド膜8を被着およびパターンニングし、個々のベレットにダイシングした後、リードフレーム9とパンプ7を熱圧着ボンディング、(内部リードボンディング)する。

ところで、上述の第2図(a), (b)に見られるように、メッキされた金パンプ7の周辺から約20~30 $\mu$ m内側の中央部分は、周辺部分より、くぼんだ構造となる。この現象はメッキ時のエッジ効果と考えられ、この原因の詳細は不明であるが、

メッキ液の劣化が進む程この現象が顕著になり、中央部と周辺部のパンプ高低差が大きくなるということがわかっている。この様な構造のパンプは、リードフレームの構造が銅に金メッキしたものである場合は、内部リードボンディング時の荷重を大きくでき、多少パンプ中央部がくぼんでいても圧力によりパンプ周辺がつぶされて平坦になり、パンプとリードフレームとの接層面積は大きくなるためボンディング強度的にはあまり問題にならないが、パンプの高低差が極めて大きい場合や、リードフレームの構造が銅にすずメッキしたものである場合、パンプの金とリードフレームの銅の合金の溶け落ち防止のためボンディング荷重は小さくしなければならず、パンプのくぼみはほぼそのままとなり、パンプとリードフレームの接層面積が小さくなり、ボンディング強度が小さくなるという欠点があった。また、パンプの高低差が大きいものはメッキ直後に不良にしなければならず、ICの歩留が低下するという欠点があった。

本発明の目的は、これらの欠点を除去し、十分

なボンディング強度が得られ、1Cの歩留も向上するパンプ電極を備えた半導体装置を提供することにある。

本発明の半導体装置は、1つのリードに対するパンプを、2つ以上の複数個の小パンプ(約40 $\mu$ m巾)で形成することにより、メッキ時のパンプ中央部のくぼんだ部分の面積を減少させ、内部リードボンディング後のリードフレームリードとパンプの接層面積を大きくされている。

つぎに本発明を実施例により説明する。

第4図ないし第6図は本発明の実施例を、製造工程について説明するための断面図および平面図である。まず、第4図は、第1図に示した従来例と同じ、パンプ形成前の基板の断面図で、この基板に対し、第5図(a)の断面図に示すように、パターン幅約40 $\mu$ mのフォトレジスト16を形成し、これをマスクに金メッキをして、2つの小パンプ7a, 7bを形成する。この状態でフォトレジスト16を除去した状態の平面図を第5図(b)に示す。第5図(a), (b)に見られるように、パンプの

幅は約40 $\mu$ mであるため、メッキ時にパンプ周辺から約20 $\mu$ m以内に発生するくぼみ部分は原理的にほとんどないといえるので、パンプ中央にくぼみは発生しなくなる。すなわち、一般に、パンプ周辺から中央部くぼみまでの距離を $\alpha$ とすれば、小パンプの幅を $2\alpha$ 以内に設計し、かつ、メッキ後の金の槽幅 $\gamma$ を $\gamma$ とし、小パンプ間の距離を $2\gamma$ 以上に設計すれば、小パンプ中央にくぼみの発生しないようにできる。つぎに第5図(b)の平面図のようにフォトレジスト16を除去し、つぎに第6図の断面図のように、保護膜としてポリイミド膜8を被着およびパターンニングし、個々のベレットにダイシングした後、リードフレームのリード9と小パンプ7a, 7bとを内部リードボンディングする。

このような本発明に係るパンプ電極のパンプにくぼんでいる部分はほとんどなく、リードフレームのリードとパンプとの接層面積は大きくなるということがわかる。よって、本発明によれば、TAA-ICのボンディング強度を十分に保証することが

できかつ、金メッキ直後のウェーハの歩留の向上を得ることができる。

なお、上例では小パンプの枚数が2つの場合であるが、それ以上あってもよい。また、金パンプの下地金属として、 $Ti-Pt$  の例を示したが、 $Ti-Pd$ 、 $Cr-C$  等の組成でももちろんさし支えない。また、ペレット内部配線に使用しているアルミニウムの上にパンプを形成したが、シリコン酸化膜の様な絶縁膜の上にパンプを形成してもよい。この場合は、パンプと内部配線の膨縮は、たとえば  $Ti-Pt$  を内部配線パターンとしてパターンニングし、薄い金メッキを行えばよい。

#### 4. 図面の簡単な説明

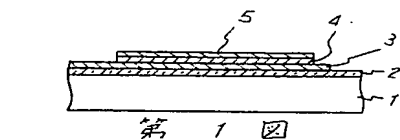
第1図ないし第3図は従来の半導体装置のパンプ電極の製造工程について説明するための図で、第1図、第2図(a)、第3図は断面図、第2図(b)は平面図である。第4図ないし第6図は本発明の一実施例に係るパンプ電極製造工程について説明するための図で、第4図、第5図(a)、第6図は断面

特開昭60-31245(3)

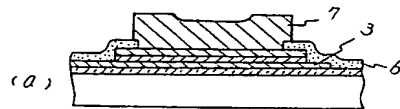
図、第5図(b)は平面図である。

1……半導体基板、2……絶縁薄膜、3……アルミニウムパッド、4……チタニウム膜、5……白金膜、6、16……フォトリソスト、7……パンプ、7a、7b……小パンプ、8……ポリミイド膜、9……リードフレーム。

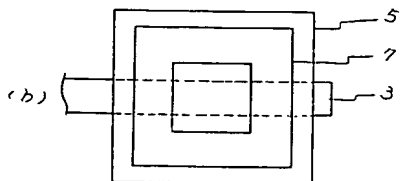
代理人 弁理士 内 原 啓



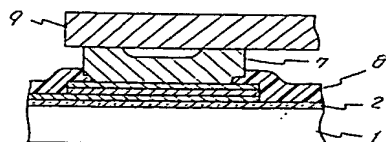
第1図



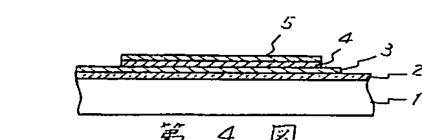
(a)



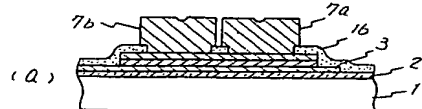
第2図



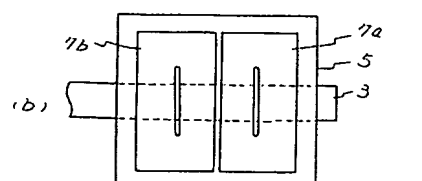
第3図



第4図

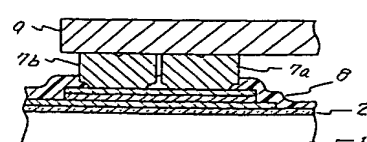


(a)



(b)

第5図



第6図